

PAT-NO: JP358031669A
DOCUMENT-IDENTIFIER: JP 58031669 A
TITLE: SOLID-STATE IMAGE PICKUP DEVICE
PUBN-DATE: February 24, 1983

INVENTOR-INFORMATION:

NAME

MIYATA, YUTAKA
CHIKAMURA, TAKAO
FUJIWARA, SHINJI

ASSIGNEE-INFORMATION:

NAME

MATSUSHITA ELECTRIC IND CO LTD

COUNTRY

N/A

APPL-NO: JP56129373

APPL-DATE: August 20, 1981

INT-CL (IPC): H04N005/30, H01L027/14

US-CL-CURRENT: 257/222

ABSTRACT:

PURPOSE: To prevent a flicker phenomenon from being produced, by preventing a reset potential of a photoconductor from changing at each pickture element corresponding to two adjacent fields.

CONSTITUTION: A reset potential of a photoconductive film of a solid-state image pickup device can be corrected by independently controlling at each field, a signal read voltage, a high or low level voltage of a pulse applied to transparent electrode, or a duty ratio of a vertical

transfer pulse. In case of a CCD camera, a transparent electrode 20 provided at each picture element is independently formed and the height of a pulse voltage applied to the electrode 20 is adjusted. When a reset voltage at each field is made equal, since the photo current due to the irradiation of the same light can be made equal at each picture element, no flicker phenomenon can be caused.

COPYRIGHT: (C)1983,JPO&Japio

⑨ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭58—31669

⑤ Int. Cl.³
H 04 N 5/30
H 01 L 27/14

識別記号

庁内整理番号
6940—5C
6819—5F

⑬ 公開 昭和58年(1983)2月24日

発明の数 1
審査請求 未請求

(全 4 頁)

⑭ 固体撮像装置

門真市大字門真1006番地松下電
器産業株式会社内

⑯ 特 願 昭56—129373

⑰ 発 明 者 藤原慎司

⑱ 出 願 昭56(1981)8月20日

門真市大字門真1006番地松下電
器産業株式会社内

⑲ 発 明 者 宮田豊

門真市大字門真1006番地松下電
器産業株式会社内

⑳ 出 願 人 松下電器産業株式会社

門真市大字門真1006番地

㉑ 発 明 者 近村隆夫

㉒ 代 理 人 弁理士 星野恒司

明 細 書

1. 発明の名称

固体撮像装置

2. 特許請求の範囲

(1) 信号走査回路と複数個のダイオードを形成した半導体基板と、上記ダイオードと電気的に接続するように、上記半導体基板上に形成した光導電膜と、上記光導電膜上に形成した透明電極とから成る固体撮像装置において、上記光導電体の設定電位を、全ての絵素で同一としたことを特徴とする固体撮像装置。

(2) 該信号走査回路が CCD もしくは BBD によって構成されていることを特徴とする特許請求の範囲の第(1)項に記載の固体撮像装置。

(3) 該信号走査回路における垂直信号走査部の駆動パルスを調整することにより、光導電体の設定電位を全ての絵素において同一としたことを特徴とする特許請求の範囲の第(1)項もしくは第(2)項に記載された固体撮像装置。

(4) 該駆動パルスは、そのデューティ比が調整

されていることを特徴とする特許請求の範囲の第(3)項に記載された固体撮像装置。

(5) リセットパルスの高さを絵素毎に調整して光導電体の設定電位を全ての絵素に亘って同一としたことを特徴とする特許請求の範囲の第(1)項もしくは第(2)項に記載された固体撮像装置。

(6) 該透明電極に印加する電圧を絵素毎に調整して光導電体の設定電位を全ての絵素に亘って同一としたことを特徴とする特許請求の範囲の第(1)項もしくは第(2)項に記載された固体撮像装置。

3. 発明の詳細な説明

本発明は、固体撮像装置の改良に関するものであり、より詳細に言うならば光導電膜のリセット電位差を補正してフリッカ現象の全く生じない固体撮像装置に関するものである。

家庭 VTR 用カメラ、あるいは工業用カメラとして固体撮像装置が注目されているがなかでも光導電膜を受光部とし、SI 走査デバイスで信号処理を行なう光導電膜積層型固体撮像装置は、高感度でスミアリングが少ないことから、特に小型カメラ

用として注目されている。

SI 走査デバイスとしては、MOS スイッチング素子をマトリクス状に配置し、PN 接合で形成したダイオード部より、シフトレジスターで信号読み出しを行なう MOS 型、および、PN 接合で形成したダイオード部から MOS 型 FET により CCD あるいは BBD 等の電荷転送素子へ信号を読み出した後、出力段へ転送する電荷転送型が主流となっている。

本発明は、特に上記電荷転送型に関するものであり、次にその一般的な動作を説明する。

第 1 図は走査デバイスに CCD が用いられている光導電膜積層型固体撮像装置の 1 セルを複数個形成した場合の平面図であり、第 2 図は、第 1 図に示された固体撮像装置の駆動パルスを示す図である。時間 t_1 において信号読み込みパルスが印加されると、光導電膜およびダイオードに蓄積していた信号電荷は、CCD 転送段 13-1, 13-2 に移動し、ダイオード 12-1 ~ 12-3 および光導電膜は、ある値まで充電される（以下この動作をリセットと呼び、上記充電電圧をリセット電

位と称す）。透明電極に印加されるパルスは、転送パルスで信号電荷が転送段に移動することを阻止するためのもので、リセット期間以外のダイオード電位を、容量結合により、高位電位に保つ働きをする。転送段に移動した電荷は、その後、

15.75 kHz の周波数で転送される。第 1 図の構成の場合、電荷転送段には、電位阻止領域 30-1 ~ 30-4 と、蓄積領域 31-1 ~ 31-4 が設けてあり、2 相駆動で転送可能である。ダイオードおよび光導電膜は 1 フレーム (33.3 ms) 光信号を蓄積した後、再び充電される。以上がフィールド A の信号読み込み動作であり、フィールド B は、1 フィールド期間 (16.67 ms) の後、フィールド A と同様にリセットされる。

以上のような、電荷転送型の光導電膜積層型固体撮像装置においては、フィールド毎の光導電膜のリセット電位の誤差が不可避であり、フリッカ現象の大小の差こそあれ皆無にすることが従来ではできなかった。

上記のフィールドごとのリセット電位差は、主

に、信号読み込み用 MOS 型 FET のチャネル電位の相違によるもので、その製造プロセス上生ずる、ゲート酸化膜厚の差、ゲート酸化膜と Si 基板の界面単位の差およびチャネルへの不純物量の差などが原因となっている。また、通常の光導電膜の光電流対印加電圧の特性は、第 3 図に示すように K_{nee} 電圧以上の電圧を印加しても量子効率 η はならず、光電流は、印加電圧に対して緩やかに増大する。従って、印加電圧に対して光電感度は変化し、上記のようなフィールドごとのリセット電位差が存在すると、同一照度でも蓄積期間中に生成するキャリア数が異なり、フリッカ現象の原因となるわけである。

本発明の目的は、このような問題を解決するため、光導電体のリセット電位が、相隣る二つのフィールドに対応する絵素毎に変化するのを防止して、フリッカ現象の発生を防止した固体撮像装置を提供することである。

次に、本発明の光導電膜積層型の固体撮像装置の構成を実施例に基づいて説明する。第 4 図は、

一般的な光導電膜積層型固体撮像装置を示すもので、信号読み込み用 MOS 型 FET が埋め込みチャネルで形成され、また垂直転送段が埋め込み CCD で形成された光導電膜積層型固体撮像装置における 1 セルの構成について示す断面図である。図において、P 型半導体基板 11 上に、ダイオード 12 と埋め込みチャネル CCD 13 とが形成されている。14 は埋め込みチャネル MOS 型 FET のチャネル部であり、15, 16 は、そのゲート酸化膜とポリ Si で形成したゲート電極である。上記ゲート電極と光導電膜 19 の電極 18 とはりん酸ガラス 17 で絶縁されている。20 は透明電極であり、透明電極側から光が入射する。

このように構成された固体撮像装置における光導電膜のリセット電圧 V_N は、

$$V_N = r V_{CH} + V_p - \alpha V_{IB} - \beta V_{IL} + \frac{C_p}{C_r} V_{Tr}$$

となる。ただし

r : 埋め込みチャネル MOS 型 FET のチャネル部最大電位の、ゲート電圧に対する変化率 V_{CH} : 信号読み込み電圧

V_p : 埋め込みチャネル MOS 型 FET のピンチ
オフ電圧

C_t : 光導電膜容量 C_N とダイオード容量 C_D と寄
生容量 C_p との和

$\alpha : (C_D + C_p) / C_t$

$\beta : C_N / C_t$

V_{Tr} : 垂直転送電圧

ϕ : 垂直転送パルスのデューティ比

V_{1H} : 透明電極印加パルスのハイレベル電圧

V_{1L} : 透明電極印加パルスのローレベル電圧で
ある。

そして、製造プロセス上、フィールド毎のパラ
つきが生じやすいのは r および V_p の値であるから、
信号読み込み電圧 V_{cB} 、透明電極印加パルスのハ
イレベル電圧 V_{1H} 、もしくはローレベル電圧 V_{1L}
または垂直転送パルスのデューティ比 ϕ の、いずれ
か 1 つのファクタをフィールド毎に独立して調整
できるようにしておけば、相隣るフィールド間
における光導電膜印加電圧の差を補正でき、した
がってフリッカ現象を皆無とすることができる。

4. 図面の簡単な説明

第 1 図は、Si 走査デバイスが CCD で形成された
光導電膜積層型固体撮像装置の複数単位を示す平
面図、第 2 図は、第 1 図に示された光導電膜積
層型固体撮像装置を駆動するためのパルス波形図、
第 3 図は、一般的な光導電膜の光電流対印加電圧
特性を示す図、第 4 図は、光導電膜積層型固体撮
像装置の 1 セル分の構造を示す断面図、第 5 図は、
本発明の一実施例を示す平面図である。

1 1 … P 型半導体基板、1 2 … ダイオード、
1 2 - 1 ~ 1 2 - 3 … ダイオード、1 3 … 埋め込
みチャネル CCD、1 3 - 1 ~ 1 3 - 2 … CCD 転送
段、1 4 … 埋め込みチャネル MOS 型 FET のチャ
ネル部、1 5 … ゲート酸化膜、1 6 … ゲート電極、
1 7 … りん硅酸ガラス、1 8 … 電極、1 9 … 光導
電膜、2 0, 2 0' … 透明電極、3 0 - 1 ~ 3 0 -
4 … 電位阻止領域、3 1 - 1 ~ 3 1 - 4 … 蓄積領
域。

特許出願人 松下電器産業株式会社

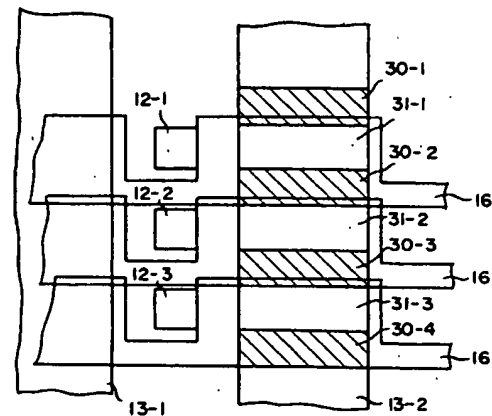
代理人 星 野 恒



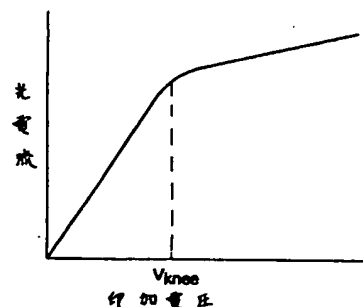
第 5 図は、この相隣るフィールド間における光
導電膜印加電圧差を補正するため、本発明の一実
施例を示す平面図であって、透明電極印加パルス
のハイレベル電圧 V_H およびローレベル電圧 V_{1L} を
絵素ごとに変化させる場合のもので、2 つのフィ
ールドに対応する透明電極 2 0 および 2 0' をそれ
ぞれ互いに独立に形成し、各透明電極 2 0, 2 0'
に印加するパルス電圧の高さを調節する回路を付
加すればよい。

なお、上述の実施例においては、信号読み込み
用 MOS 型 FET が埋め込みチャネルで、垂直転送段
が埋め込み CCD の場合に例を採って説明したが、
上記構成に限られるものではなく、信号読み込み
MOS 型 FET がエンハンスメント型でもよいし、ま
た垂直転送に、電荷転送素子が使用されているも
のなら、いずれの場合も適用することができる。
また、本実施例では信号読み込みと電荷転送を同
一のゲート電極で行なったが、それぞれ独立であ
ってもかまわない。

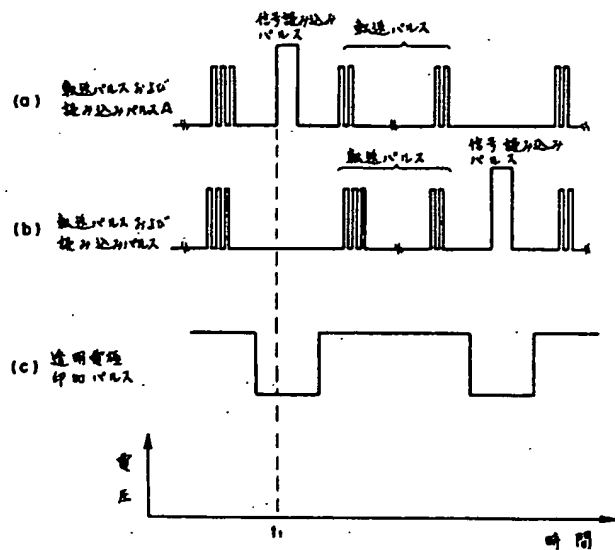
第 1 図



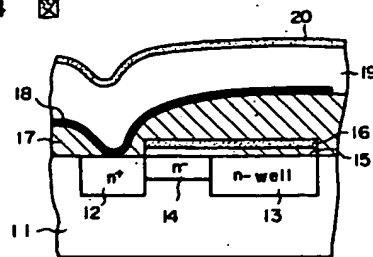
第 3 図



第 2 図



第 4 図



第 5 図

